

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-13566

(43)公開日 平成5年(1993)1月22日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/76	L	9169-4M		
21/20		9171-4M		
21/302	J	7353-4M		
21/316	S	8518-4M		
		8225-4M		

H 0 1 L 29/ 78 3 0 1 L

審査請求 未請求 請求項の数1(全 7 頁) 最終頁に続く

(21)出願番号 特願平3-160629

(22)出願日 平成3年(1991)7月1日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 青木 正身

神奈川県川崎市幸区小向東芝町 1 株式
会社東芝総合研究所内

(72)発明者 高東 宏

神奈川県川崎市幸区小向東芝町 1 株式
会社東芝総合研究所内

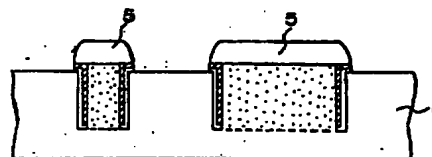
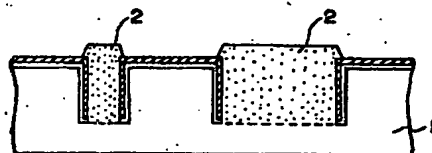
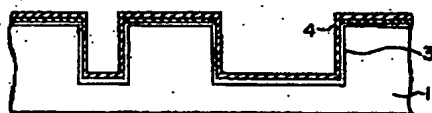
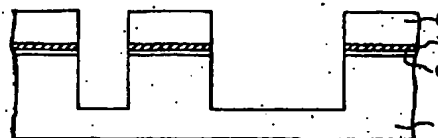
(74)代理人 弁理士 木村 高久

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】本発明は、高集積化が可能で、開口径に依存することなくリーク電流が小さく信頼性の高い素子分離を提供することを目的とする。

【構成】本発明では、基板表面からの選択的エピタキシャル成長によってシリコン層を成長させるようにしているため、開口径に依存することなく均一な深さのシリコン層埋め込みを行うことができ、しかも表面酸化によってキャップ層を形成するようにしている。



1

【特許請求の範囲】

【請求項1】 半導体基板表面にトレンチを形成するトレンチ形成工程と、

前記トレンチ内壁を絶縁膜で被覆する絶縁膜形成工程と異方性エッチングによってトレンチ側壁にのみこの絶縁膜を残してトレンチ底部の基板表面を露呈せしめるエッチング工程と前記表面から選択エピタキシャル成長法によりシリコンを成長させ、トレンチを埋め込む選択成長工程と表面を酸化し、トレンチ上面を酸化膜で被覆する酸化工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置の製造方法に係り、特に隣接素子間を絶縁分離するいわゆる素子分離技術に関する。

【0002】

【従来の技術】 近年、半導体集積回路は、微細化および高集積化の一途を辿っている。このため、寄生チャネルによる絶縁不良をなくし、配線の寄生容量を小さくするため、素子間のいわゆるフィールド領域に厚い絶縁膜を形成し、この絶縁膜によって素子間分離をおこなうようにしている。

【0003】 この1つの例として、選択酸化法（LOCOS法）が広く用いられているが、この方法では、パズピークと呼ばれる酸化膜の領域が素子領域に入るのを完全に防ぐのが困難であるため、サブミクロンオーダの素子分離領域を形成するには不適當である。

【0004】 一方、新しい素子分離技術の1つとして、基板のフィールド領域に溝を形成し、この溝内にCVD法により酸化シリコン膜を埋め込み表面を平坦化するようにしたいいわゆるボックス（Box）法と呼ばれる方法がある。

【0005】 このボックス法は、素子間分離が良好に行われる反面、溝の中に酸化シリコン膜を埋め込むため基板シリコンとの熱膨張係数の差によってストレスが増大し、溝底部等から結晶欠陥が発生するという問題があった。これは、リーク電流発生の原因となる。また、このような素子分離領域内にMOSFETを形成した場合、溝のコーナ部がどうしても露出してしまい、そのコーナ部でゲート電極からの電界集中が発生し、MOSFETの閾値が低下し、スレッシュホールド特性がハンプを持ってしまうという問題があった。

【0006】 このような問題を回避するため、埋め込み材料として多結晶シリコンなどの低ストレス材を使用することにより、上述の結晶欠陥によるリーク電流の抑制を行う方法も提案されている。これは、基板表面に形成された溝の中に酸化シリコン膜を介して多結晶シリコン膜を埋め込むようにしたものである。

【0007】 この方法によれば、溝の内部に充填されて

2

いる物質の大半は多結晶シリコンであるため、熱膨張係数の差によるストレスは低減される。しかしながら、多結晶シリコン膜を埋め込んだのちに種々の酸化工程が施されるために、楔状に酸化が進行し、やはり基板内に結晶欠陥が生じるという問題がある。これは酸化シリコン膜が薄ければ薄いほど頻繁に起こり、逆に酸化シリコン膜を厚くしようとするとき基板と酸化シリコン膜との間の熱膨張係数の差によるストレスが低減し得ないという問題がある。

10 【0008】 さらに、埋め込み後の絶縁膜の表面が素子形成領域の基板表面よりも低くなると、溝のコーナ部が露出するため、後に形成されるデバイスは、このコーナ部において電界集中が起こり、閾値電圧が低下するという問題があった。また、多結晶シリコン膜を埋め込んだ後のこの多結晶シリコン膜の表面を酸化し、絶縁被覆する場合、多結晶シリコン膜の表面がトレンチ内に位置していると、酸化による体積膨脹でトレンチにストレスがかかり破壊の原因となる。

20 【0009】 しかしながらこの方法では、開口径が1 μ m以下であるような狭いトレンチと、数 μ m以上もあるような広いトレンチを同時に同じ高さまで埋め込むことは極めて困難である。

【0010】 例えば、シリコン基板1の表面にトレンチを形成し、表面酸化により酸化シリコン膜20を形成した後、図6(a)に示すようにCVD法を用いて、多結晶シリコン膜21を埋め込み、この後図6(b)に示すようにエッチバックを行うという方法がとられるが、狭いトレンチが丁度埋め込まれるようにエッチングすると広いトレンチでは段差が残ってしまう。

30 【0011】 そこでバイアスECRCVD法を用いて多結晶シリコン膜を埋め込む方法（1991 Symposium On VLSI Tec. dig. p87~88）や、機械的な研磨を用いて平坦化を行う方法等も提案されているが、依然としてこの問題を十分に解決するのは不可能であった。

40 【0012】 また、トレンチ側壁の酸化シリコン膜はストレスを小さくするために薄く形成されるが、このため、トレンチ側壁において寄生チャネル効果が発生し、リーク特性が劣化するという問題もある。そこで、トレンチ側壁に反転防止のイオンインプランテーションを行う等の方法が提案されているが、工程が複雑となる上深いトレンチの場合は困難であるという問題もある。

50 【0013】 さらにまた、図7に示すように、極めて細いスリット状のトレンチに絶縁膜を埋め込み、0.1 μ m程度の微細なトレンチ分離を行う方法も提案されている（IDEM Tech. Dig. p257~260, 1990）。この例ではトレンチ保護のための酸化シリコン膜33からなるキャップ層をマスク合わせによって形成しているため、合わせずれを見込んでレジストパターン32に余裕をとらなければならない、本来の特徴を生

3

かしきることができないという問題があった。ここで3-4は酸化シリコン膜、3-5はイオン注入層（ボロン）である。

【0014】

【発明が解決しようとする課題】このように、従来の選択酸化法ではバースピークの長さが大きくなり、集積度を上げることが困難であるという問題があった。

【0015】またボックス法を用いた従来の素子分離方法では多結晶シリコン膜と酸化シリコン膜との間に楔状に酸化が進行し、基板内に結晶欠陥が生じ、リーク電流増大の原因となるという問題がある。さらにまた、トレンチの開口径に依存することなく均一な埋め込みを行うのは極めて困難であった。

【0016】本発明は前記実情に鑑みてなされたもので、高集積化が可能で、かつ電気的な素子分離特性に優れ、トレンチの開口径に依存することなく均一な埋め込みを行うことができる素子分離方法を提供することを目的とする。

【0017】

【課題を解決するための手段】そこで本発明では、基板表面にトレンチを形成し、トレンチ内壁に絶縁膜を形成した後、異方性エッチングによってトレンチ側壁にのみこの絶縁膜を残してトレンチ底部の基板表面を露呈せしめ、この表面から選択エピタキシャル成長法によりシリコンを成長させ、トレンチを埋め込んだのち、表面を酸化し、トレンチ保護のための酸化膜キャップ層を形成するようにしている。

【0018】

【作用】上記構成によれば、基板表面からの選択的エピタキシャル成長によってシリコン層を成長させるようにしているため、開口径に依存することなく均一な深さのシリコン層埋め込みを行うことができ、しかも表面酸化によってキャップ層を形成するようにしているため、自己整合的に絶縁被覆を行うことができ、形成工程が極めて簡単となる。

【0019】また、キャップ層の形成のためのマスク合わせ工程が不要であるため、製造工程が極めて簡略化されるのみならず、合わせずれ余裕をみる必要がないため大幅な微細化が可能となる。

【0020】さらにまた、シリコンの選択的エピタキシャル成長層で埋め込むことになり、熱膨張係数の差がほとんどないため基板との間のストレスがなく、信頼性の高い絶縁分離が可能となる。

【0021】また、シリコンの選択的エピタキシャル成長層でトレンチ内を埋め込むため、トレンチからシリコン層が突出するように形成することが容易となる。従って、このシリコン層の表面酸化によって、自己整合的にトレンチに絶縁被覆を行うに際しても酸化時の体積膨脹によってトレンチ側壁にストレスがかかるのを抑制することが可能である。

4

【0022】加えて、トレンチ内と基板とは電氣的に分離されていないためトレンチ内部にバイアスを印加して、反転防止層としての役割をもたせることも可能である。

【0023】

【実施例】以下本発明の実施例について図面を参照しつつ詳細に説明する。

【0024】実施例1

図1は、本発明実施例の素子分離領域の形成工程図である。

【0025】まず、比抵抗 $5 \sim 50 \Omega \cdot \text{cm}$ のp型(100)シリコン基板1を用意し、表面に膜厚50nm程度の熱酸化膜6を形成し、さらにこの上層にCVD法により膜厚50nm程度の窒化シリコン膜7を堆積する。そしてリソグラフィ工程によりレジストをパターンニングし、レジストパターン8を形成し、これをマスクとして反応性イオンエッチング(RIE)により深さ $0.5 \mu\text{m}$ のトレンチを形成する(図1(a))。ここでレジストパターン8をマスクとして窒化シリコン膜7をパターンニングし、レジストパターン8を一旦除去したのち、窒化シリコン膜をマスクとしてシリコン基板をエッチングするようにしてもよい。

【0026】この後、トレンチ内壁を熱酸化することにより膜厚20nm程度の熱酸化膜3を形成し、さらにこの上層にCVD法により膜厚20nm程度の薄い窒化シリコン膜4を堆積する(図1(b))。

【0027】そして、RIEなどの異方性エッチングを用いて、トレンチ底部の窒化シリコン膜4および熱酸化膜3のみを除去し、トレンチ底部のシリコン基板1を露出させる。このときトレンチ側壁の酸化シリコン膜および窒化シリコン膜は残留している。続いて、選択的エピタキシャル成長法を用いてトレンチ底部からシリコン層2を成長させ、トレンチを埋め込む。このときこのシリコン層2は、シリコン基板表面よりも $50 \sim 200 \text{nm}$ 程度突出するようにしておく(図1(c))。

【0028】この後、エピタキシャル成長で形成したシリコン層2の表面を酸化し膜厚 $100 \sim 200 \text{nm}$ 程度の酸化シリコン膜5をキャップ層として形成する。

【0029】この後窒化シリコン膜4をRIE法等でエッチング除去しさらにシリコン基板表面の薄い酸化シリコン膜3をエッチング除去することによって素子分離が完成する(図1(d))。

【0030】この方法によれば、トレンチ内部の埋め込み材料は側壁の薄い酸化シリコン膜と窒化シリコン膜の他はエピタキシャル成長で形成されたシリコンであり、このシリコンの熱膨張係数はシリコン基板の熱膨張係数とほぼ同じであるため、熱工程中に受けるストレスを最少限に抑えることができ、その結果シリコンの結晶欠陥をほとんど皆無とすることができる。

【0031】また、成長条件を選択することによって、

5

トレンチ内に成長せしめるシリコン層の成長速度をトレンチの開口径に依存することなく一定にすることができ、 $0.05\mu\text{m}$ 以下の狭いトレンチから $5\mu\text{m}$ 以上の広いトレンチを同時に同じ深さまで制御性よく埋め込むことが可能である。

【0032】さらに、トレンチ保護用のためのキャップ層はトレンチ内のシリコン層2に対して自己整合的に形成されるため、マスクの合わせずれなどによる素子分離距離のロスをなくし、微細で信頼性の高い素子分離領域の形成を行うことが可能となる。

【0033】なお、熱酸化時の体積膨脹によるストレスを回避するため、キャップ層としての酸化膜の形成はトレンチ上部でのみ行うようにするのが望ましい。

【0034】実施例2

次に本発明の第2の実施例について説明する。

【0035】図2は、本発明の第2の実施例の素子分離方法を用いたMOSトランジスタ集積回路を示す図である。

【0036】まず、シリコン基板1の表面に形成されたpウェル12内にトレンチを形成しこの内部にp+シリコン成長層10を形成し、トレンチ内をpウェル12内の電位と同電位に固定できるようにし、素子分離を行うとともにトレンチ側壁の反転によるリーク電流を抑制するようにしたものである。

【0037】そしてトレンチを用いた素子分離領域を挟んで2つのLDD構造のMOSFETが形成されている。11はゲート電極、13、14はそれぞれn型拡散層である。

【0038】形成に際しては、トレンチ底部からのシリコンの選択成長時にドーピングガスを添加し、所望の濃度のp+シリコン成長層10が形成されるようにしている他は、実施例とまったく同様に形成することができる。

【0039】この方法によれば、反転防止用のイオンインプラントレーション工程が不要となるため、不純物拡散によるトランジスタ特性の劣化を防止することが可能である。

実施例3

次に本発明の第3の実施例について説明する。

【0040】前記実施例1では、図1(c)に示したようにシリコン成長層2を基板表面から突出するように形成したが、この例では、表面の平坦化をはかるために、基板表面と同程度となるように形成し、表面にLOCOS法で形成したものに似たフィールド酸化膜16を形成したことを特徴とするものである。

【0041】すなわち図1(b)に示したようにトレンチを形成し、酸化シリコン膜3および窒化シリコン膜4でトレンチ表面を覆った後、トレンチ底部を露呈せしめてここからシリコン成長層を形成する工程までは実施例1と同様に形成する。

6

【0042】ここで違うのは、実施例1では基板表面から突出するようにシリコン成長層を形成したのに対し、この例では図3(a)に示すように基板表面と同程度となるようにシリコン成長層15を成長させる。

【0043】そして、 1000°C の水蒸気雰囲気中で6時間の熱処理を行い（選択酸化）、フィールド酸化膜としての酸化シリコン膜16を形成する。この方法では酸化シリコン膜16はLOCOS法で形成した酸化シリコン膜に近い形状をなして形成される。その後レジスタパターン17を形成し、これをマスクとして反転防止のためのイオンインプラントレーションを行いフィールド酸化膜の下部に反転防止層18を形成する（図3(b)）。ここでは、注入イオン種としてボロンを用い、加速電圧 50keV 、ドーズ量 $1\times 10^{13}\text{cm}^{-2}$ のイオン注入条件で行う。

【0044】かかる構造によれば、トレンチの側壁の酸化シリコン膜および窒化シリコン膜によってパズピークの形成を抑制することができ、またこれらがイオンインプラントレーションによる不純物の拡散のバリアとなるため、イオンインプラントレーションによっても素子特性を劣化させることがない。

【0045】また、この構造では基板表面への突出がほとんどないように形成することができ平坦性に優れた素子分離を行うことができる。

【0046】なお、この例では反転防止層18を形成するようにしたが、実施例2と同様、トレンチ内に成長させるシリコン層を所望の濃度のp型シリコン成長層とすれば、このような反転防止層の形成は不要となる。

【0047】また、トレンチ側壁の絶縁膜は酸化シリコン膜と窒化シリコン膜との組み合わせに限定されことなく他の絶縁膜を用いても良いことはいうまでもない。

【0048】実施例4

次に本発明の第4の実施例について説明する。

【0049】前記実施例1および2では、すべてのトレンチに対し、側壁絶縁膜を形成したのち基板表面を露呈せしめ、選択成長によってシリコンの埋め込みを行うようにしたが、開口径の小さいトレンチに対してはそのまま絶縁膜を埋め込み、開口径の大きいトレンチに対してのみ側壁絶縁膜を形成したのち基板表面を露呈せしめ、選択成長によってシリコンの埋め込みを行うようにしてもよい。

【0050】この工程を図4(a)および(b)に示す。

【0051】工程としては、トレンチ形成後、トレンチ内壁を熱酸化して膜厚 20nm 程度の熱酸化膜3を形成し、さらにこの上層にCVD法により窒化シリコン膜4を堆積するところまでは、実施例1とほぼ同様に行えばよいが、この窒化シリコン膜4の膜厚を図4(a)に示すように、開口径の小さいトレンチが完全に埋め込まれる程度に厚く（ $20\sim 30\text{nm}$ ）形成する点が実施例1と異なる点である（図1(b)）。

7

【0052】そして、実施例1と同様にR I Eなどの異方性エッチングを行う。このとき窒化シリコン膜が完全に埋め込まれている開口径の小さいトレンチ内にはそのまま窒化シリコンが残り、開口径の大きいトレンチ内では側壁のみに窒化シリコン膜4および熱酸化膜3が残留する。すなわち、トレンチ底部の窒化シリコン膜4および熱酸化膜3は除去され、トレンチ底部のシリコン基板1が露出する。

【0053】そして実施例1と同様にして、選択的エピタキシャル成長法を用いてトレンチ底部からシリコン層2を成長させ、トレンチを埋め込み、さらにこのエピタキシャル成長で形成したシリコン層2の表面を酸化し膜厚100～200nm程度の酸化シリコン膜5をキャップ層として形成する(図4(b))。

【0054】この後窒化シリコン膜4をR I E法等でエッチング除去しさらにシリコン基板表面の薄い酸化シリコン膜3をエッチング除去することによって素子分離が完成する。

【0055】この方法によれば、実施例1と同様、開口径の異なるトレンチに対しても極めて良好に埋め込みを行い、素子分離を達成することが可能となる。

【0056】実施例5

次に、本発明の第5の実施例として、この方法をウェル分離に適用した例について説明する。

【0057】まず、図5(a)に示すように、シリコン基板1の表面にpウェル22およびnウェル23を形成し、これら各ウェル内に所定の開口幅の第1トレンチT1を形成するとともに、ウェルの境界領域に開口幅の大きい第2のトレンチT2を形成し、前記実施例4と同様に、表面酸化をおこなうことによりトレンチT1、T2の内壁を酸化して膜厚20nm程度の熱酸化膜3を形成し、さらにこの上層にCVD法により窒化シリコン膜4を堆積し、開口幅の小さいトレンチが完全に埋め込まれる程度に厚く(20～30nm)形成し、異方性エッチングを行う。このとき、開口幅の小さいウェル内のトレンチ内にはそのまま窒化シリコンが残り、開口幅の大きいウェル境界部のトレンチ内では側壁のみに窒化シリコン膜4および熱酸化膜3が残留する。すなわち、ウェル境界部のトレンチT2内ではトレンチ底部の窒化シリコン膜4および熱酸化膜3は除去され、トレンチ底部のシリコン基板1が露出する。

【0058】この後表面の酸化シリコン膜3および窒化シリコン膜4をマスクとしてシリコン基板表面をエッチングし、pウェル22およびnウェル23を貫通し、基板1に到達する第3のトレンチT3を形成する。

【0059】そして後は実施例4と同様にして、選択的エピタキシャル成長法を用いてトレンチ底部からシリコン層2を成長させ、トレンチを埋め込み、さらにこのエピタキシャル成長で形成したシリコン層2の表面を酸化し膜厚100～200nm程度の酸化シリコン膜5をキャ

8

ップ層として形成する(図5(b))。

【0060】この後窒化シリコン膜4をR I E法等でエッチング除去しさらにシリコン基板表面の薄い酸化シリコン膜3をエッチング除去することによって素子分離が完成する。

【0061】この方法によれば、実施例1と同様、開口径の異なるウェル内およびウェル間のトレンチに対しても同時に極めて良好に埋め込みを行い、素子分離を達成することが可能となる。

【0062】

【発明の効果】以上説明してきたように、本発明によれば、トレンチ内の埋め込みをエピタキシャルシリコンによって行うことにより、ストレスが小さくかつトレンチの開口径に依存しない均一な埋め込みを行うことが可能となる。

【0063】また開口径0.5μm以下の最小素子分離幅を有する半導体デバイスの形成も極めて安価で信頼性の高いものとなる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の素子分離工程を示す説明図。

【図2】本発明の第2の実施例の素子分離方法で形成されたMOSトランジスタ集積回路を示す説明図。

【図3】本発明の第3の実施例の素子分離工程を示す説明図。

【図4】本発明の第4の実施例の素子分離工程を示す説明図。

【図5】本発明の第5の実施例の素子分離工程を示す説明図。

【図6】従来例の素子分離方法を示す図。

【図7】従来例の素子分離方法を示す図。

【符号の説明】

- 1 p型シリコン基板
- 2 シリコン成長層
- 3 酸化シリコン膜
- 4 窒化シリコン膜
- 5 酸化シリコン層
- 6 酸化シリコン膜
- 7 窒化シリコン膜
- 8 レジストパターン
- 9 ゲート絶縁膜
- 10 p+シリコン成長層
- 11 ゲート電極
- 12 pウェル
- 13 n型拡散層
- 14 n型拡散層
- 15 シリコン成長層
- 16 酸化シリコン膜
- 17 レジストパターン
- 18 反転防止層

9

10

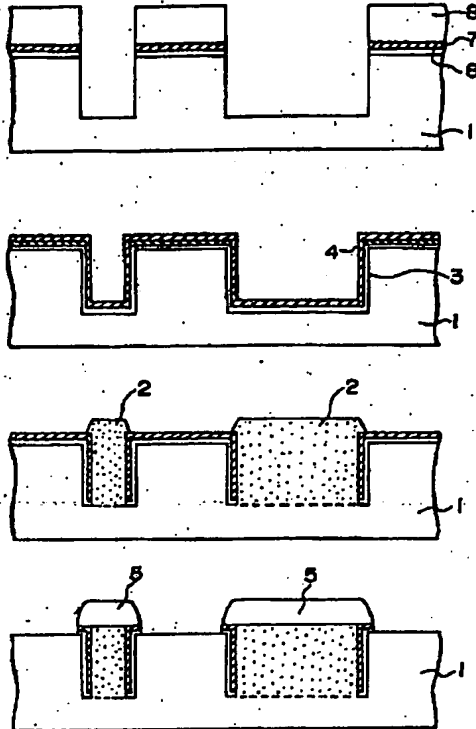
20 酸化シリコン膜

* 22 pウェル

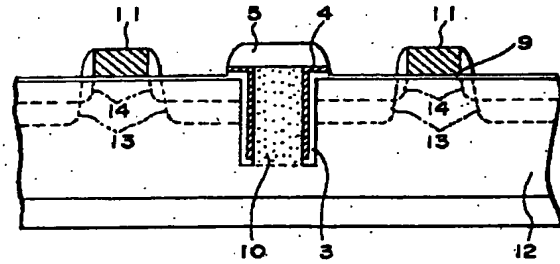
2-1 窒化シリコン膜

* 23 nウェル

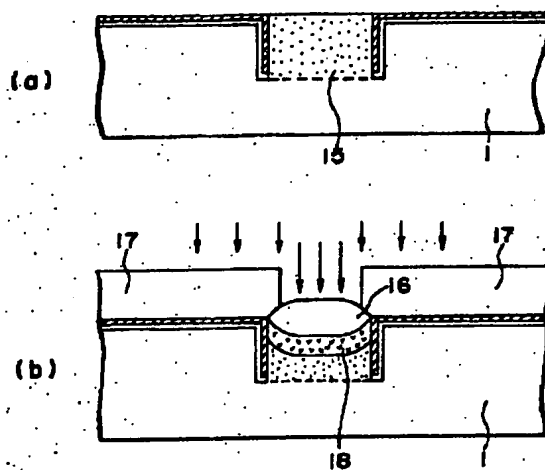
【図1】



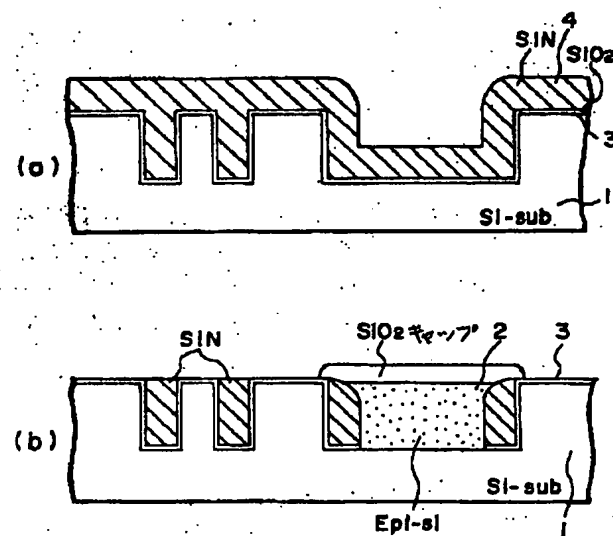
【図2】



【図3】

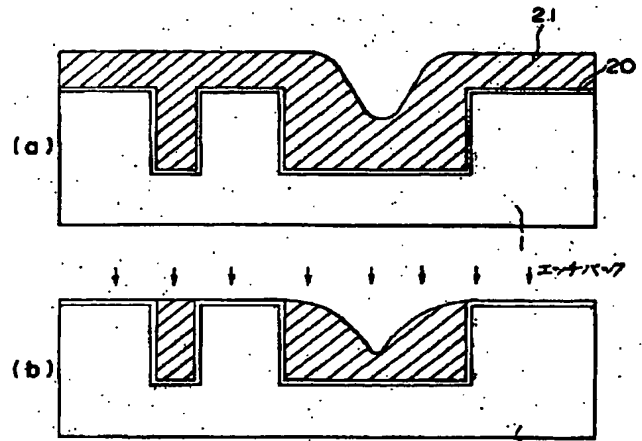
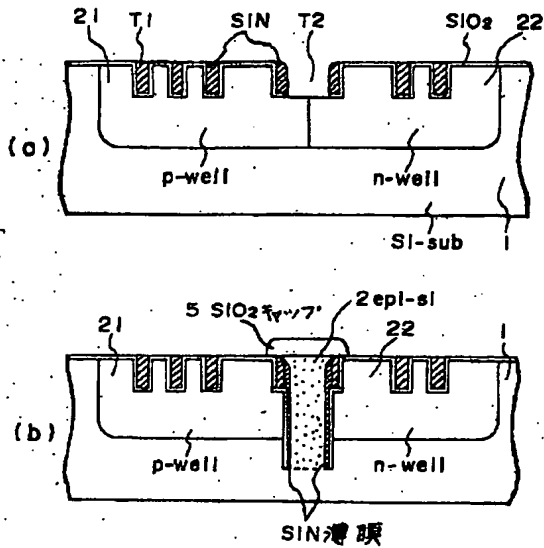


【図4】

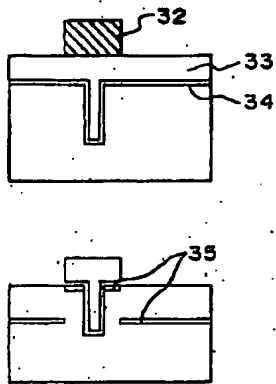


【図5】

【図6】



【図7】



フロントページの続き

(51) Int. Cl. 5

H 0 1 L 21/318

21/336

29/784

識別記号

庁内整理番号

C 8518-4M

F. I

技術表示箇所